

CIRCUITOS SEQUENCIAIS



Nossos **objetivos** nesta aula são:

- Conhecer Registradores.
- Conhecer Contadores.
- Praticar a implementação de contadores, registradores.



Para esta aula, utiliza-se como referência o **Capítulo 7 (Contadores e Registradores)** do livro-texto:

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. **Sistemas Digitais: princípios e aplicações**. 12ª Ed. Editora Pearson, 2018.

Não deixem de ler a indicação depois desta aula!

COMUNICAÇÃO SERIAL E PARALELA DE DADOS

- O termo serial designa um envio/recebimento de dados (bits) através de único canal de comunicação (conexão física/fio único): os bits são enviados ou recebidos um após o outro.
- O tempo de transporte e reconhecimento do bit é coincidente com o tempo de relógio (clock)

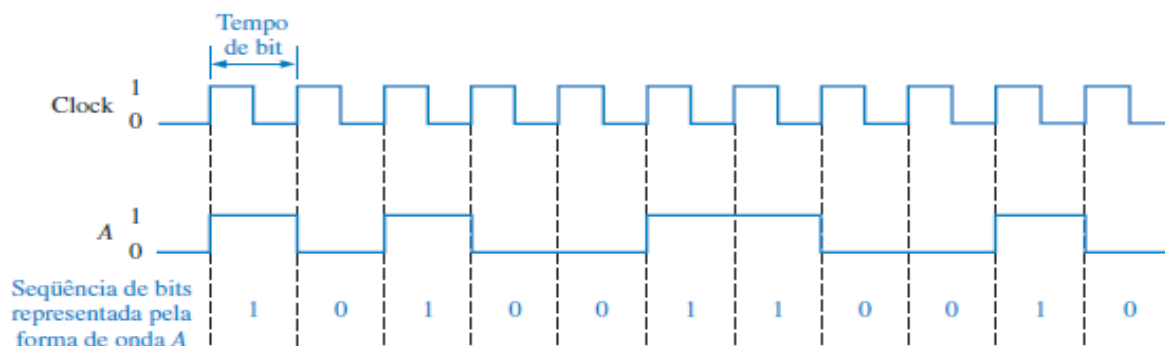
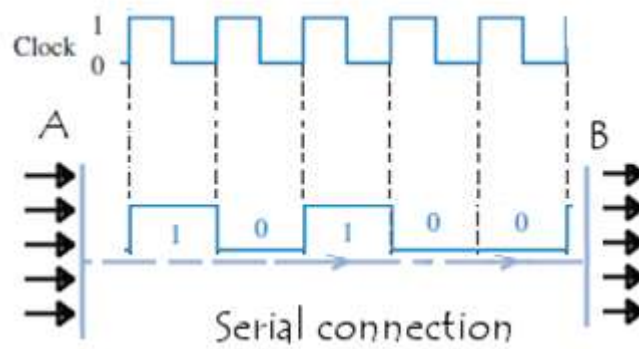
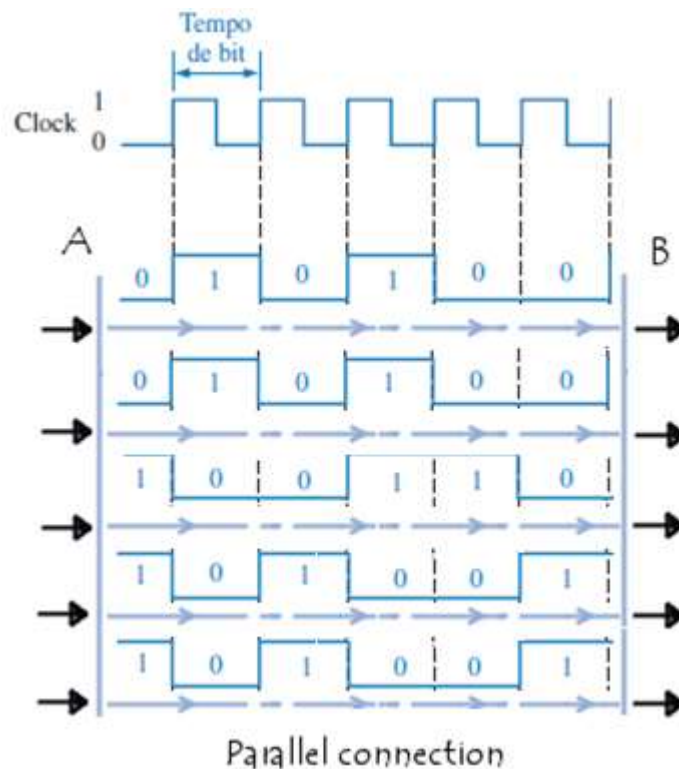


FIGURA 1 – COMUNICAÇÃO SERIAL



- A comunicação em série é feita de maneira assíncrona, o que significa que nenhum sinal de sincronização (*clock*) entre bits é necessário, ou seja, os dados podem ser enviados em intervalos de tempo arbitrários.
- O termo paralelo consiste no envio/recebimento de dados (bits), simultaneamente, em vários canais de comunicação (fios/barramento). Normalmente, a comunicação é feita em múltiplos de 8 bits (um byte) e de forma síncrona (utilizando um *clock*).

FIGURA 2 – COMUNICAÇÃO PARALELA



REGISTRADORES

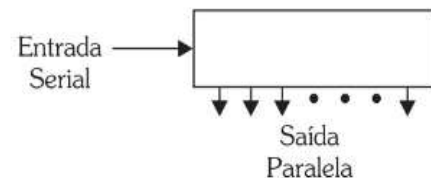
- Os **registradores de deslocamento (*shift registers*)** são utilizados para o **armazenamento e transferência de dados**, apresentando as seguintes configurações:
 - Entrada serial / Saída serial.
 - Entrada serial / Saída paralela.
 - Entrada paralela / Saída serial.
 - Entrada paralela / Saída paralela.

FIGURA 3– CONFIGURAÇÕES BÁSICAS DE REGISTRADORES

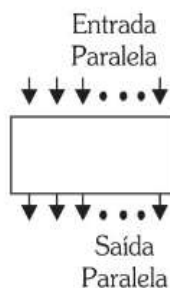
a) Registrador Série-Série



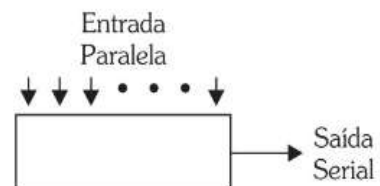
b) Registrador Série-Paralelo



c) Registrador Paralelo-Paralelo



d) Registrador Paralelo-Série



- O **FF do tipo D** é o mais utilizado nesta operação, uma vez que **transfere para a saída o dado disponível na entrada** no momento em que ocorre o **pulso de clock** e o armazena até a ocorrência do próximo pulso.
- A **capacidade de armazenamento** de um **registrador** é definida pelo **número de bits que ele pode armazenar**, ou em outras palavras, o **número de FFs D**.

ENTRADA SERIAL / SAÍDA SERIAL

- Considera-se n Flip-Flops (FFs) um **FF para cada bit a ser armazenado**.
- A informação é inserida de **forma sequencial (serial)**, bit a bit **iniciando-se pelo LSB** (*Less Significant Bit*) no primeiro FF do registrador e após n pulsos de clock a informação está armazenada no registrador.
- A informação armazenada é disponibilizada novamente de forma serial após n pulsos de *clock* através da saída do último FF do registrador.

EXERCÍCIO COM DISCUSSÃO EM DUPLAS

1. Implemente entrada e saída serial através de um registrador baseado em FFs de 4 bits. Obtenha a Carta de Tempo simulando a entrada, armazenamento e saída serial para a informação 1011. Utilize FFs Tipo D sensíveis a borda de subida.

ENTRADA SERIAL / SAÍDA PARALELA

- A informação de n bits é inserida **serialmente (sequencialmente)** iniciando-se pelo **LSB** (*Less Significant Bit*) e a **saída é obtida em paralelo** considerando n linhas de transmissão após n pulsos de *clock*.

EXERCÍCIO COM DISCUSSÃO EM DUPLAS

2. Implemente um registrador de 4 bits com entrada serial e a saída paralela. Utilize FFs Tipo D sensíveis a borda de subida.

ENTRADA PARALELA / SAÍDA SERIAL

- As entradas são introduzidas simultaneamente por n linhas de transmissão e a saída é disponibilizada sequencialmente após n pulsos de *clock*.

EXERCÍCIO COM DISCUSSÃO EM DUPLAS

3. Implemente um registrador de 4 bits com entrada paralela e saída serial. Em seguida, analise a quantidade de pulsos de *clock* necessários para os dados inseridos saírem completamente do circuito. Utilize FFs Tipo D sensíveis a borda de subida.

ENTRADA PARALELA / SAÍDA PARALELA

- As entradas são aplicadas simultaneamente por n linhas de transmissão e armazenadas após um pulso de clock, e as saídas são imediatamente disponibilizadas.

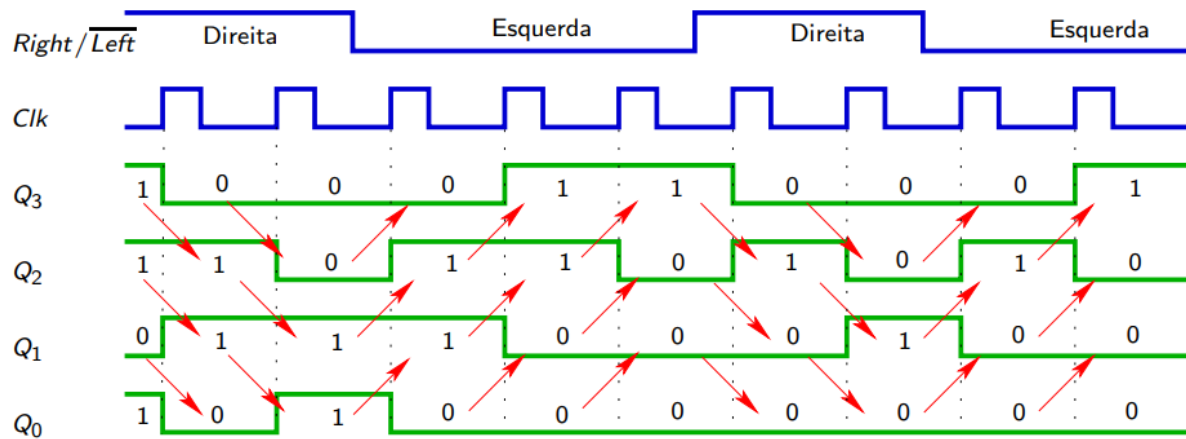
EXERCÍCIO COM DISCUSSÃO EM DUPLAS

4. Implemente um registrador de 4 bits com entrada paralela e saída paralela. Utilize FFs Tipo D sensíveis a borda de subida.

REGISTRADORES DE DESLOCAMENTO BIDIRECIONAIS

- Dados podem ser **deslocados para direita** ou **para a esquerda** nos registradores.
- Considere para o funcionamento do registrador bidirecional os valores:
 - Exemplo considerando: $Q_3 = 1$, $Q_2 = 1$, $Q_1 = 0$ e $Q_0 = 1$.
 - **Entrada serial** está sempre em **nível baixo**.
 - Dada a entrada de controle Right/Left e após cada pulso de clock, tem-se:

FIGURA 4 – DIAGRAMA DE TEMPO PARA CONTADOR BIDIRECIONAL

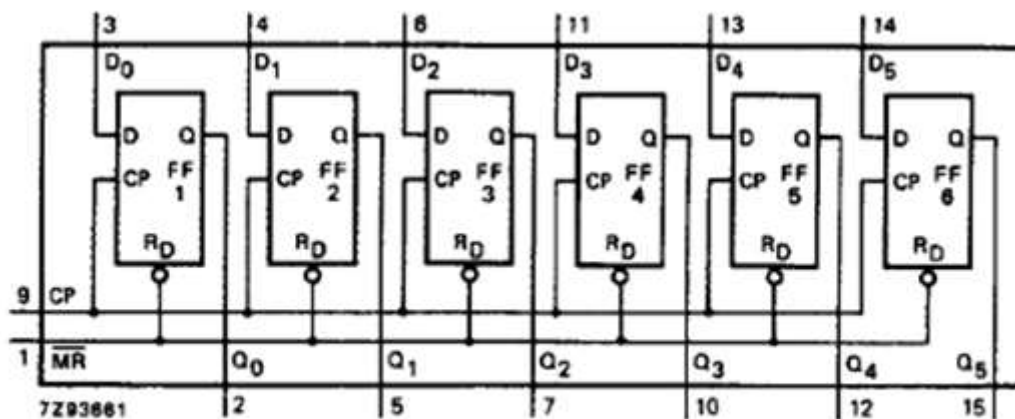
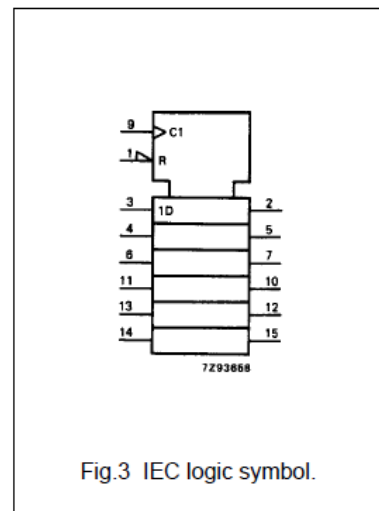
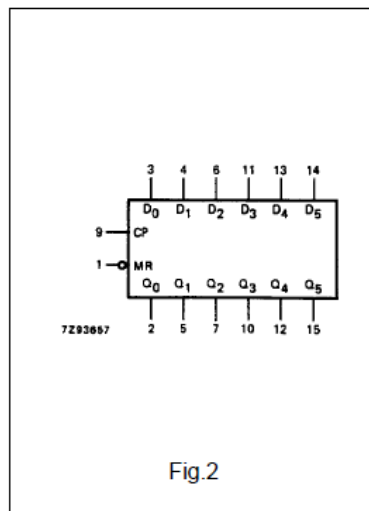
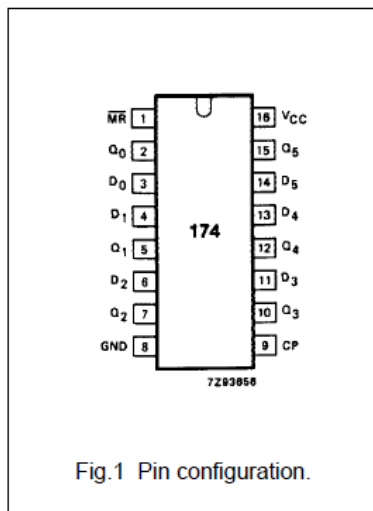


EXERCÍCIO COM DISCUSSÃO EM DUPLAS

5. Implemente um registrador de deslocamento bidirecional de 4 bits. Utilize FFs Tipo D sensíveis a borda de subida.

ENTRADA PARALELA – SAÍDA PARALELA

Hex D-type flip-flop with reset; positive-edge trigger 74HC/HCT174



FUNCTION TABLE

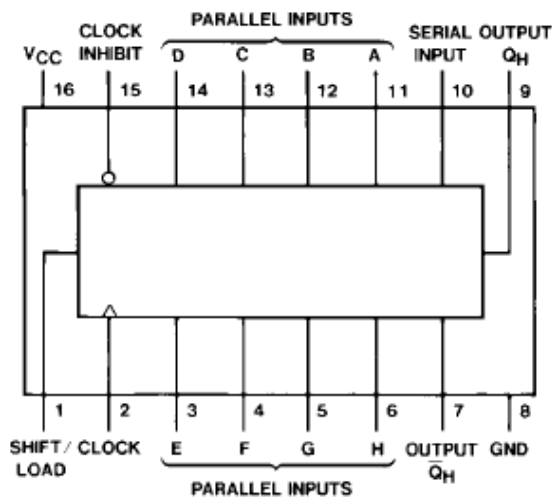
OPERATING MODES	INPUTS			OUTPUTS
	\overline{MR}	CP	D_n	Q_n
reset (clear)	L	X	X	L
load "1"	H	↑	h	H
load "0"	H	↑	l	L

Note

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 X = don't care
 ↑ = LOW-to-HIGH CP transition

DM74LS165 8-Bit Parallel In/Serial Output Shift Registers

Connection Diagram

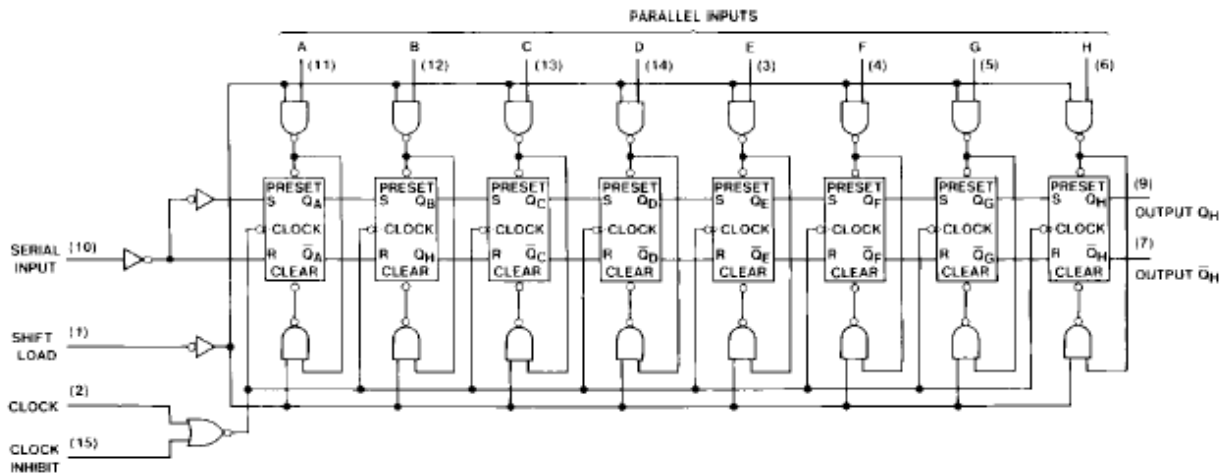


Function Table

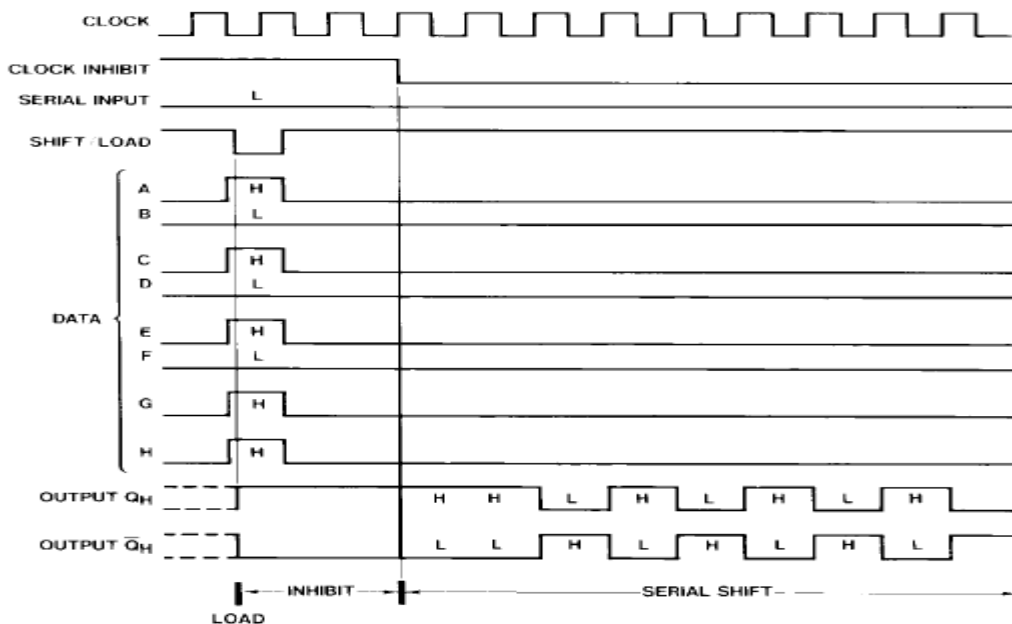
Shift/Load	Clock Inhibit	Inputs				Internal Outputs		Output Q _H
		Clock	Serial	Parallel A...H	Q _A	Q _B		
L	X	X	X	a...h	a	b	h	
H	L	L	X	X	Q _{A0}	Q _{B0}	Q _{H0}	
H	L	↑	H	X	H	Q _{An}	Q _{Gn}	
H	L	↑	L	X	L	Q _{An}	Q _{Gn}	
H	H	X	X	X	Q _{A0}	Q _{B0}	Q _{H0}	

H = HIGH Level (steady state)
 L = LOW Level (steady state)
 X = Don't Care (any input, including transitions)
 ↑ = Transition from LOW-to-HIGH level
 a...h = The level of steady-state input at inputs A through H, respectively.
 Q_{A0}, Q_{B0}, Q_{H0} = The level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
 Q_{An}, Q_{Gn} = The level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

Logic Diagram



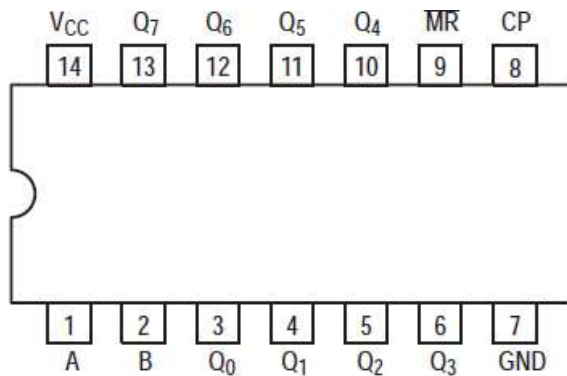
Timing Diagram



Typical Shift, Load, and Inhibit Sequences

ENTRADA SERIAL – SAÍDA PARALELA

SN 74LS164 Serial-In Parallel-Out



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

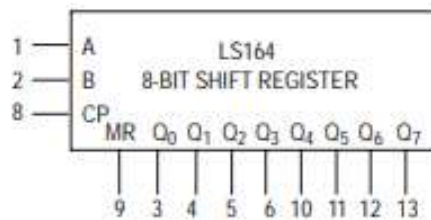
PIN NAMES

A, B	Data Inputs
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
Q ₀ - Q ₇	Outputs

NOTES:

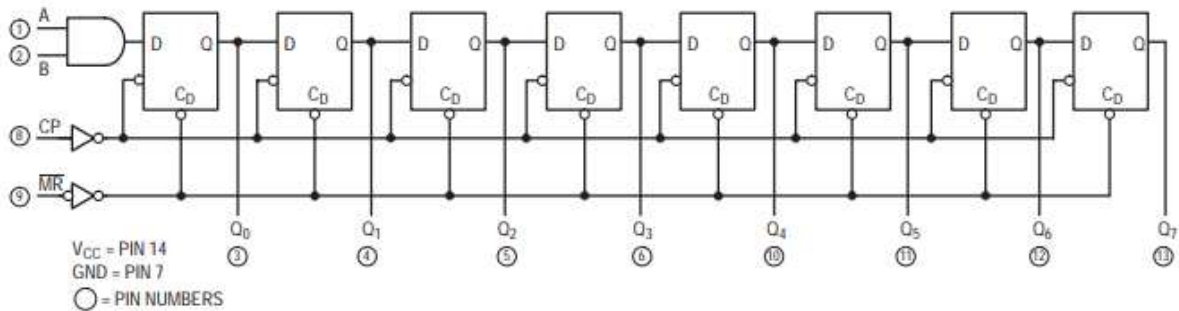
- a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

LOGIC DIAGRAM



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	\overline{MR}	A	B	Q ₀	Q ₁ –Q ₇
Reset (Clear)	L	X	X	L	L – L
Shift	H	l	l	L	q ₀ – q ₆
	H	l	h	L	q ₀ – q ₆
	H	h	l	L	q ₀ – q ₆
	H	h	h	H	q ₀ – q ₆

L (l) = LOW Voltage Levels

H (h) = HIGH Voltage Levels

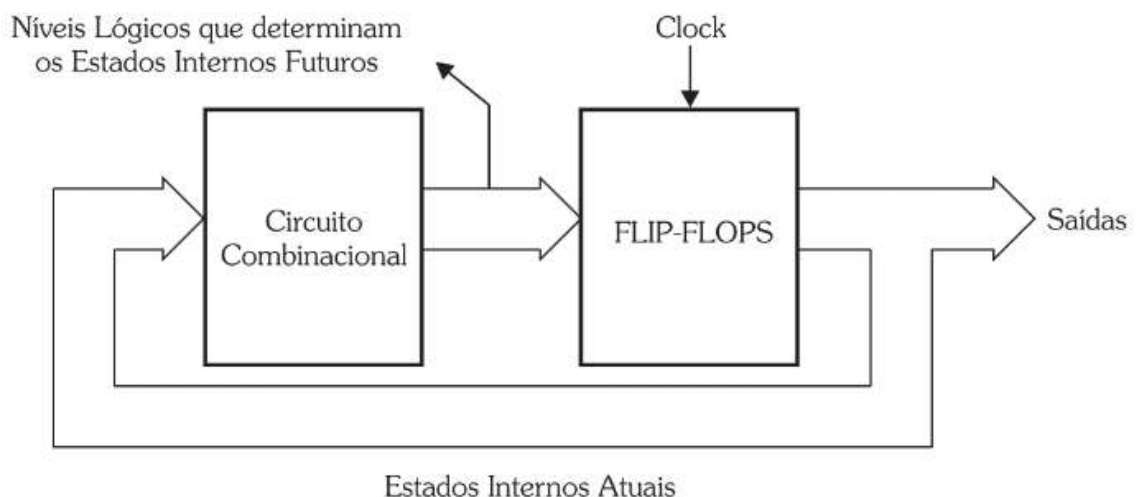
X = Don't Care

q_n = Lower case letters indicate the state of the referenced input or output one set-up time prior to the LOW to HIGH clock transition.

CONTADORES

- Contadores são circuitos digitais que **variam os seus estados**, sob o **comando de um clock**, de acordo com uma **sequência pré-determinada**.
- São utilizados principalmente para **contagens diversas, divisão de frequência, medição de frequência e tempo, geração de formas de onda e conversão de analógico para digital**.
- Podem ser divididos em duas categorias: assíncronos e síncronos.
- Nos **contadores assíncronos** as transições dos FF não são simultâneas.
- Nos contadores síncronos as transições dos FF são simultâneas e geradas por um sinal de clock.
- A contagem pode ser crescente ou decrescente.

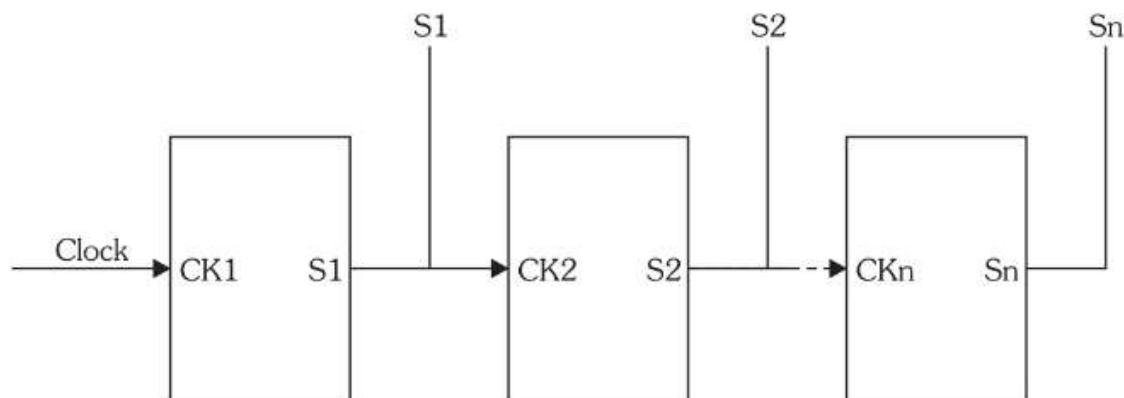
FIGURA 5 – DIAGRAMA DE BLOCOS DE UM CONTADOR GENÉRICO



CONTADORES ASSÍNCRONOS

- São caracterizados por seus FFs funcionarem de maneira assíncrona (sem sincronismo), **não tendo entradas clock em comum.**
- Neste tipo de circuito, a entrada **clock se faz apenas no primeiro FF**, sendo as outras **derivadas das saídas dos blocos anteriores.**

FIGURA 6 – DIAGRAMA DE BLOCOS DE UM CONTADOR ASSÍNCROMO GENÉRICO



CONTADORES DE PULSO

- A principal característica de um contador de pulsos é apresentar nas saídas, o sistema binário em sequência.
- Seu circuito básico apresenta um grupo de 4 FFs do tipo T ou JK em que as entradas são sempre iguais a 1, originando na saída $Q_f = \overline{Q_a}$ a cada descida de clock.

EXERCÍCIO COM DISCUSSÃO EM DUPLAS

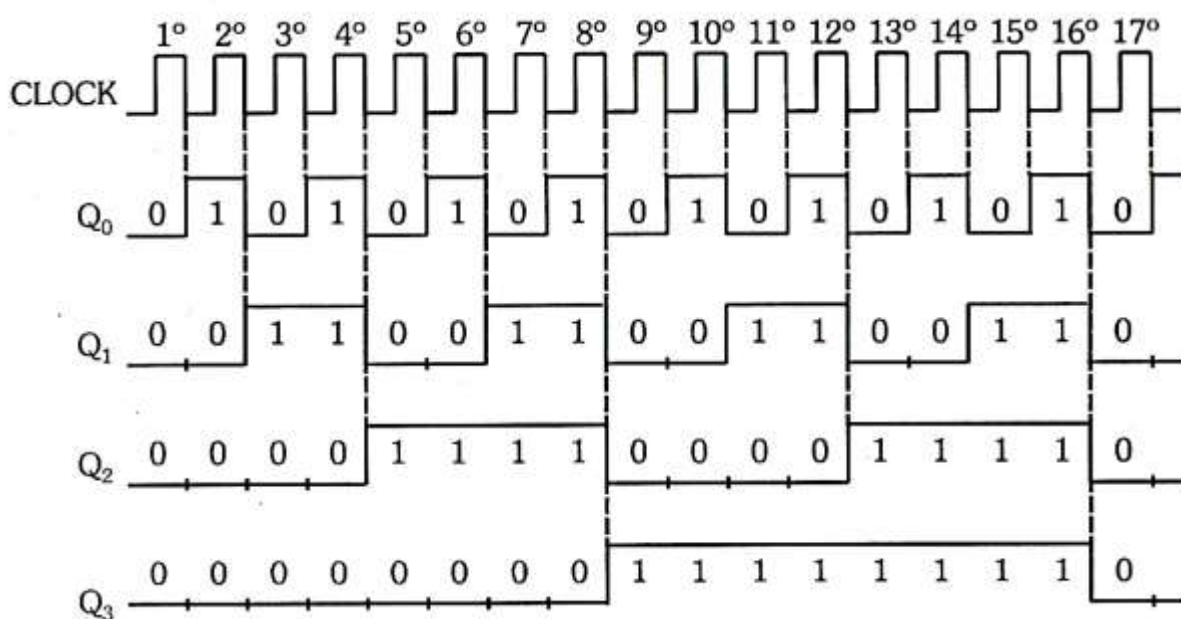
6. Implemente um contador de pulsos assíncrono crescente a partir de FF tipo T e com entradas Clear e sensível a borda de descida.

- Inicialmente, vamos aplicar nível 0 à entrada CLR (clear) para que as saídas assumam nível 0.

TABELA 1 – TABELA VERDADE DO CONTADOR ASSÍNCRONO CRESCENTE

Descidas de clock	Saídas				
	Q ₀	Q ₁	Q ₂	Q ₃	
1ª	0	0	0	0	(Estado inicial, imposto por CLR = 0)
2ª	1	0	0	0	(Após a 1ª descida de clock: Q ₀ =1)
3ª	0	1	0	0	(Após a 2ª descida: Q ₀ =0 e Q ₁ =1, obtido pela descida de Q ₀)
4ª	1	1	0	0	(Q ₀ =1 e Q ₁ permanece igual a 1)
5ª	0	0	1	0	(Q ₀ =0 ⇒ Q ₁ =0 ⇒ Q ₂ =1)
6ª	1	0	1	0	(Q ₀ =1, Q ₁ e Q ₂ permanecem)
7ª	0	1	1	0	(Q ₀ =0 ⇒ Q ₁ =1)
8ª	1	1	1	0	(Q ₀ =1)
9ª	0	0	0	1	(Q ₀ =0 ⇒ Q ₁ =0 ⇒ Q ₂ =0 ⇒ Q ₃ =1)
10ª	1	0	0	1	(Q ₀ =1)
11ª	0	1	0	1	(Q ₀ =0 ⇒ Q ₁ =1)
12ª	1	1	0	1	(Q ₀ =1)
13ª	0	0	1	1	(Q ₀ =0 ⇒ Q ₁ =0 ⇒ Q ₂ =1)
14ª	1	0	1	1	(Q ₀ =1)
15ª	0	1	1	1	(Q ₀ =0 ⇒ Q ₁ =1)
16ª	1	1	1	1	(Q ₀ =1)
17ª	0	0	0	0	(Q ₀ =0 ⇒ Q ₁ =0 ⇒ Q ₂ =0 ⇒ Q ₃ =0)

FIGURA 7 – CARTA DE TEMPO DO CONTADOR ASSÍNCRONO CRESCENTE

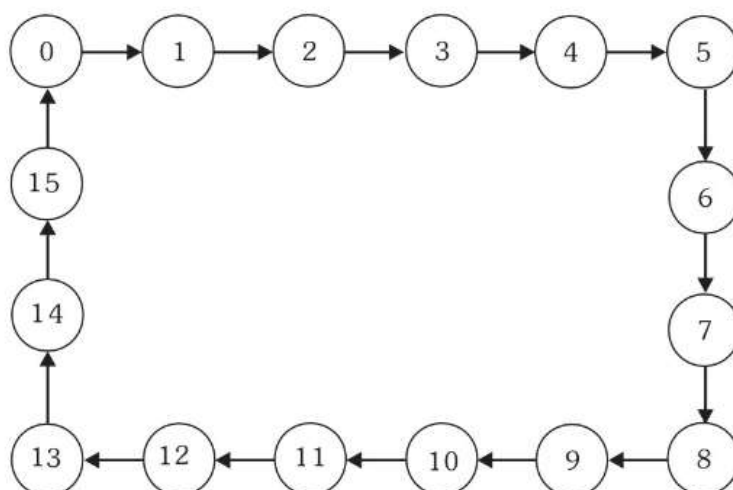


- A cada descida do pulso de clock, o 1º FF irá mudar de estado, sendo esta troca aplicada à entrada do 2º FF, fazendo com que este troque de estado a cada descida da saída Q_0 e assim sucessivamente.
- Considerando Q_0 como bit menos significativo (LSB) e Q_3 como mais significativo (MSB), temos nas saídas o sistema binário em sequência (0000 a 1111).
- É possível notar que após a 16ª descida de clock, o contador irá reiniciar a contagem.
- Analisando os gráficos, nota-se que o período de Q_0 é o dobro do período do clock, logo, a frequência de Q_0 será a metade da frequência do clock, pois $f = 1/T$.
- Analisando a saída Q_1 , veremos que seu período é o dobro de Q_0 e o quádruplo do clock, logo, sua frequência será a metade de Q_0 e um quarto da frequência do pulso de clock, se estendendo sucessivamente aos demais FFs.
- Assim sendo, é possível notar uma das aplicações dos contadores: **divisor de frequência de sinais (onda quadrada)** aplicados à entrada clock.

DIAGRAMA DE ESTADO

- Também denominado de Diagrama de Fluxo de Estado.
- **Grafo** no qual cada nó representa um estado.
- **Estado**: representam as condições de repouso do circuito.
- Cada arco representa uma transição de estados (fluxo).
- A cada pulso de clock, o fluxo avança um estado.
- Estado é um estágio dentro do circuito.

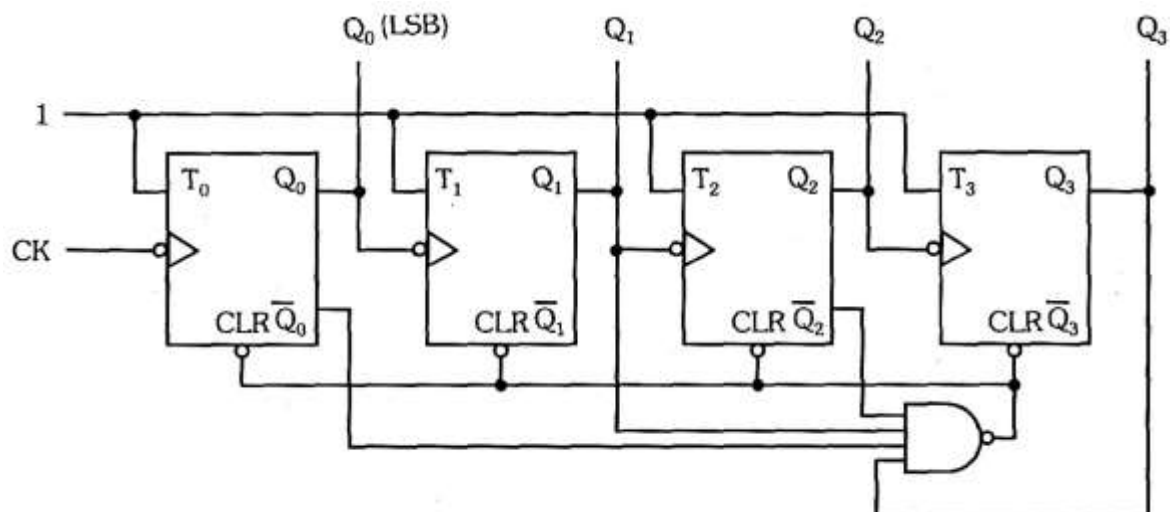
FIGURA 8 – DIAGRAMA DE ESTADO DE UM CONTADOR ASSÍNCRONO CRESCENTE



CONTADORES DE DÉCADA

- O contador de década é o circuito que efetua a contagem em números binários de 0 a 9 (10 algarismos). Isso significa **acompanhar a sequência do código BCD 8421 de 0000 a 1001**.

FIGURA 9 – CONTADOR DÉCADA



- Para que o contador conte somente de 0 a 9, deve-se colocar **um nível 0 na entrada clear assim que surgir o caso 10 (1010), ou seja, no 10º pulso**.
- Após a 10ª descida de clock, o contador tende a assumir o estado $Q_0 = 0$,
- $Q_1 = 1, Q_2 = 0, Q_3 = 1$, neste instante, a **entrada CLR (clear) vai para 0, zerando o contador e reiniciando a contagem**.

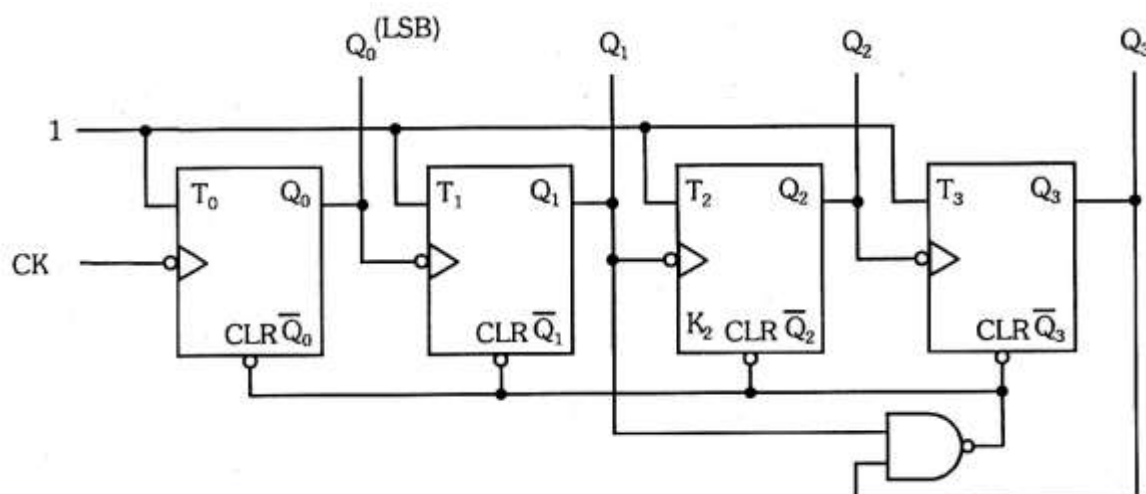
TABELA 2 – COMPORTAMENTO DO CONTADOR DÉCADA

Descidas de clock	Q_3	Q_2	Q_1	Q_0	CLR
1ª	0	0	0	0	1
2ª	0	0	0	1	1
3ª	0	0	1	0	1
4ª	0	0	1	1	1
5ª	0	1	0	0	1
6ª	0	1	0	1	1
7ª	0	1	1	0	1
8ª	0	1	1	1	1
9ª	1	0	0	0	1
10ª	1	0	0	1	1
	1	0	1	0	0

CONTADOR DE DÉCADA COM UMA PORTA NAND DE 2 ENTRADAS

- Uma outra forma de obter o mesmo clear ou reset no caso 1010, utiliza uma porta NE com menos entradas, consiste em ligarmos apenas Q_3 e Q_1 nesta, pois só serão iguais a 1 simultaneamente neste caso, zerando as saídas do mesmo jeito.

FIGURA 10 – CONTADOR DÉCADA COM PORTAS NAND DE 2 ENTRADAS



- Este contador poderá ser utilizado como **divisor de frequência por 10** para uma onda quadrada aplicada à entrada clock, pois possui 10 estados de saída.

CONTADOR SEQUENCIAL DE 0 A N

- Utilizando o mesmo processo, pode-se fazer um **contador de 0 até um número n qualquer**.
- Para isso, é necessário **verificar quais as saídas do contador para o caso seguinte a n e**, colocar essas **saídas numa porta NE e à saída desta**, ligarmos as **entradas clear dos FFs**.

EXERCÍCIO COM DISCUSSÃO EM DUPLAS

7. Elaborar o circuito de um contador assíncrono de 0 a 5. Utilize FFs Tipo T sensíveis a borda de descida.

CONTADOR ASSÍNCRONO DECRESCENTE

- Os contadores podem ser classificados pelo tipo de contagem que executam, ou seja, se executam contagem crescente ou decrescente.

TABELA 3 – TABELA VERDADE DO CONTADOR BINÁRIO DECRESCENTE

Decimal	Binário			
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1
0	0	0	0	0

- O circuito que efetua a **contagem decrescente** é o **mesmo circuito** que efetua a **contagem crescente**, com a única diferença de extrairmos as saídas dos terminais $\overline{Q_0}, \overline{Q_1}, \overline{Q_2}$ e $\overline{Q_3}$, sendo a saída $\overline{Q_0}$ o bit menos significativo.
 - Podemos notar pela tabela verdade que a contagem decrescente nada mais é que o **complemento da contagem crescente**.
-

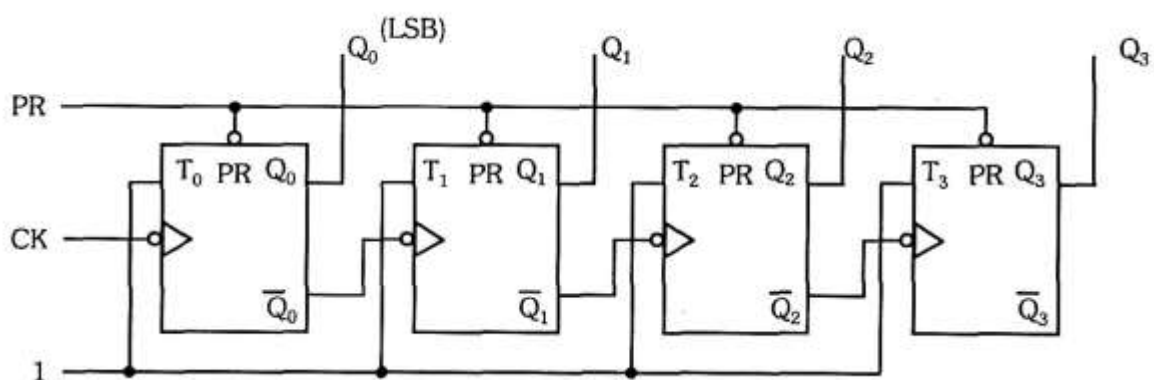
EXERCÍCIO COM DISCUSSÃO EM DUPLAS

- Elaborar o circuito de um contador assíncrono decrescente de 15 a 0. Utilize FFs Tipo T sensíveis a borda de descida.

OPCIONAL DE CIRCUITO CONTADOR ASSÍNCRONO DECRESCENTE

- Um outro modo de montar um contador decrescente é injetando nas entradas clock dos FFs, as saídas complementares como mostrado na figura:

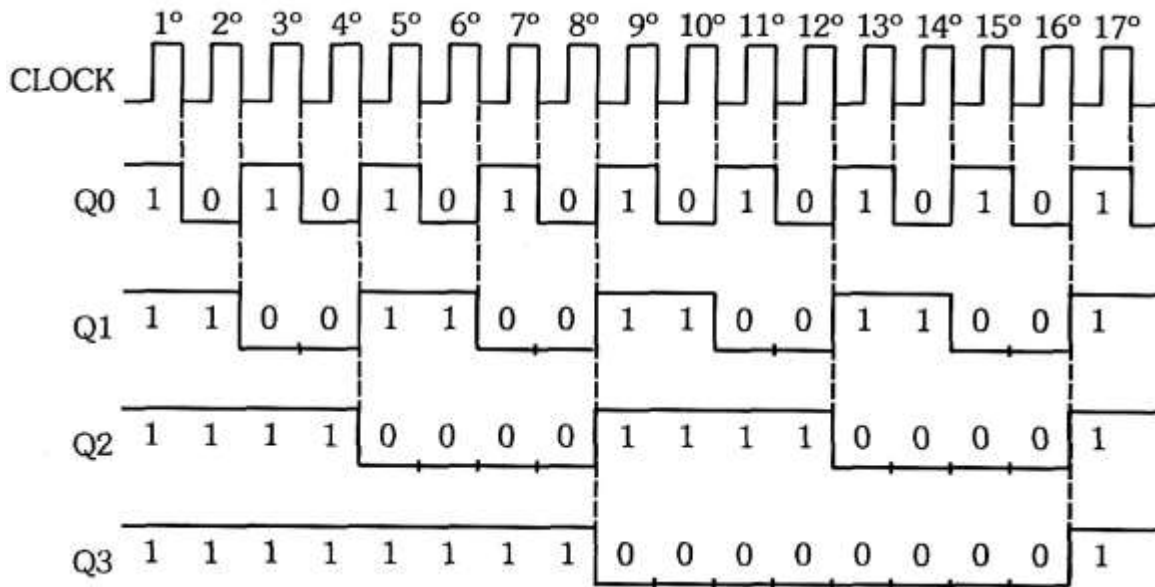
FIGURA 11 – CONTADOR DECRESCENTE OPCIONAL



- Neste circuito, os clocks dos FFs são, respectivamente $\overline{Q_0}$, $\overline{Q_1}$ e $\overline{Q_2}$, logo Q_1 , Q_2 e Q_3 irão trocar de estado nas subidas de Q_0 , Q_1 e Q_2 , respectivamente (descidas de $\overline{Q_0}$, $\overline{Q_1}$ e $\overline{Q_2}$), originando a contagem decrescente.

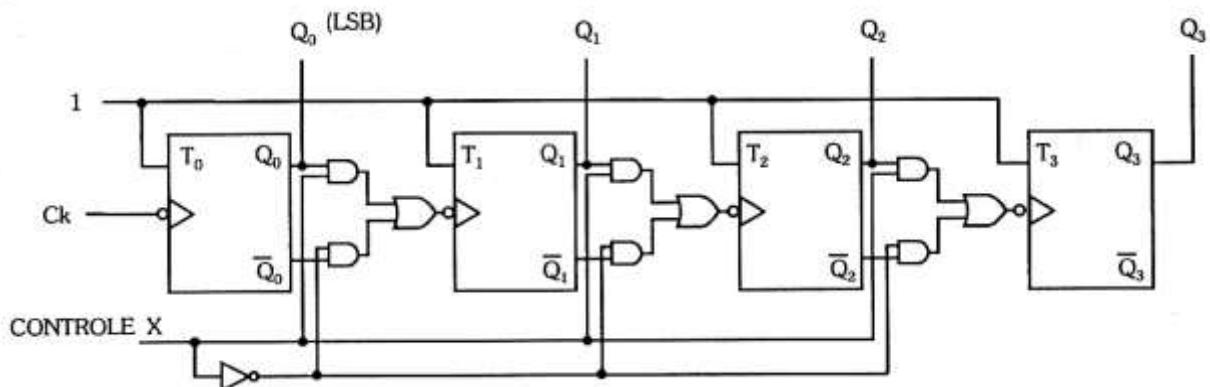
- O estado inicial pode ser obtido pela passagem da entrada PR para 0, estabelecendo nível 1 à saída de todos os FFs.
- A figura a seguir mostra todas as formas de onda do sistema, desde a aplicação de uma onda quadrada à entrada clock.

FIGURA 12 – CARTA DE TEMPO DO CONTADOR DECRESCENTE



CONTADOR ASSÍNCRONO CRESCENTE E DECRESCENTE

FIGURA 13 – CONTADOR CRESCENTE E DECRESCENTE



- Note que no circuito, quando a **variável de controle X** estiver em 1, as saídas $\overline{Q_0}$, $\overline{Q_1}$ e $\overline{Q_2}$ estarão bloqueadas, fazendo com que entrem as saídas $\overline{Q_0}$, $\overline{Q_1}$ e $\overline{Q_2}$ nas entradas clock dos flip-flops (**contador crescente**).

- Quando o controle **X estiver em 0**, a situação irá inverter e conseqüentemente, teremos um **contador decrescente**.

EXERCÍCIOS EXTRA-CLASSE

1. Implemente um registrador de deslocamento bidirecionais de 4 bits.
2. Implemente um contador de anel com 4 bits, sendo a entrada inicial os valores Q_0 , Q_1 , Q_2 e $Q_3 = 1000$, sendo o seu módulo $n = 4$.