

## CIRCUITOS SEQUENCIAIS

---



Nossos **objetivos** nesta aula são:

- Conhecer máquina de estados em circuitos digitais.
- Praticar a implementação de máquina de estados através de contadores síncronos.



Para esta aula, utiliza-se como referência o **Capítulo 7 (Contadores e Registradores), 7.14 (Máquina de estado)** do livro-texto:

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. **Sistemas Digitais: princípios e aplicações**. 11ª Ed. Editora Pearson, 2011.

*Não deixem de ler a indicação depois desta aula!*

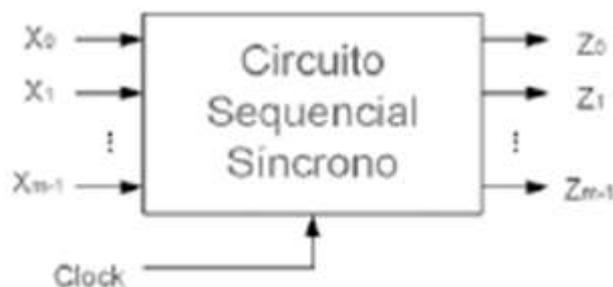
---

## CIRCUITOS SEQUENCIAIS SÍNCRONOS

---

- Circuitos digitais sequenciais síncronos possuem uma linha de sincronização (clock).
- $N$  entradas e pelo menos uma saída.

FIGURA 1 – BLOCO LÓGICO PARA UM CIRCUITO SEQUENCIAL



- Circuitos sequencias síncronos são formados por portas lógicas e FFs (memórias).

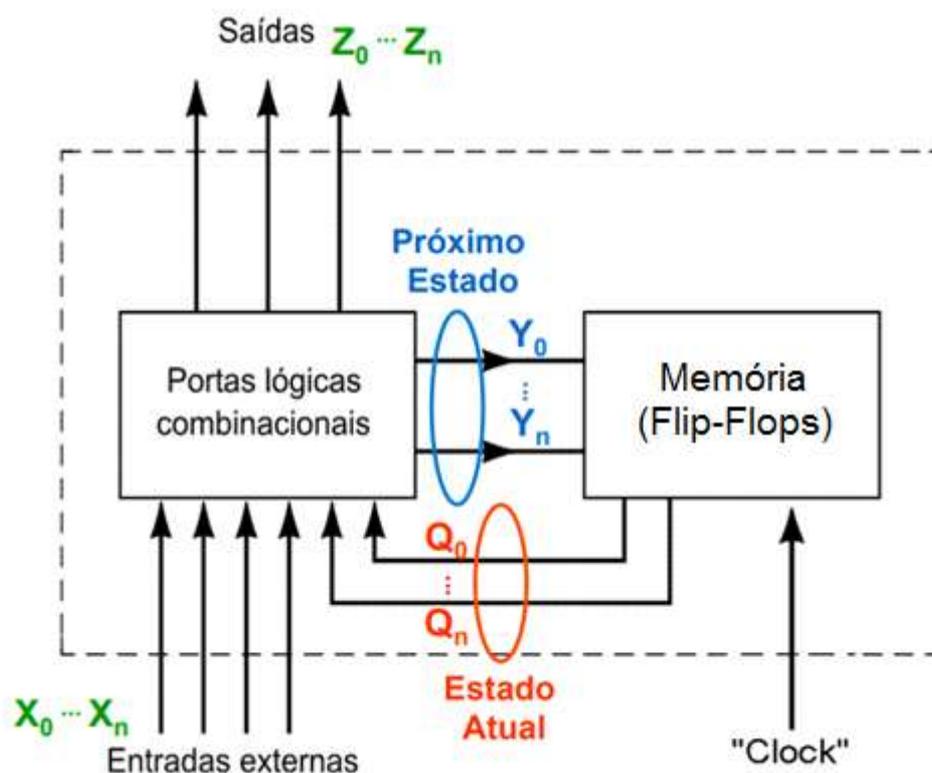
- O conjunto de portas lógicas pode ser agrupado e montado em um circuito combinacional separado da memória.

## MÁQUINAS DE ESTADO

---

- Os circuitos sequenciais síncronos podem ser representados por Máquina de estado.

FIGURA 2 – ESTRUTURA DE UMA MÁQUINA DE ESTADO



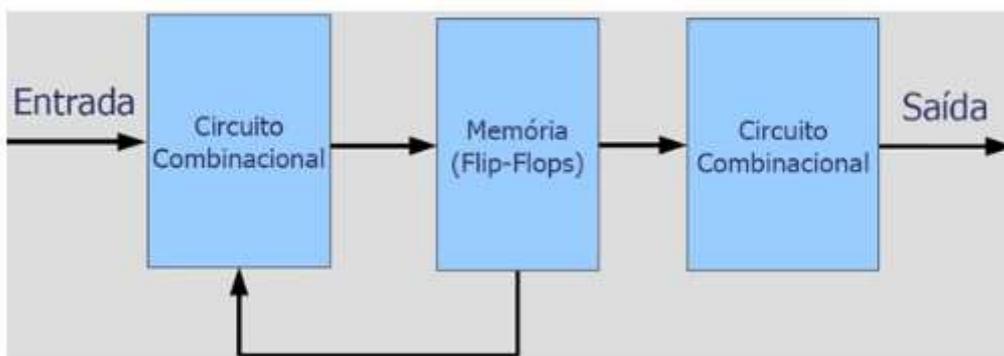
- A memória define o estado atual.
- O próximo estado será definido não só a partir das entradas atuais externas, como também do estado atual advinda da memória.
- Um circuito sequencial síncrono através de máquinas de estado pode ser implementada de duas maneiras equivalentes entre si:
  - Máquina de Moore.
  - Máquina de Mealy.

## MÁQUINA DE MOORE

---

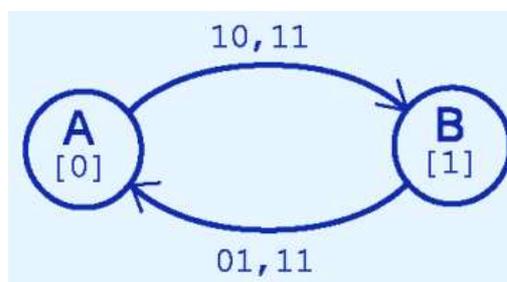
- Saída depende somente do estado atual.
- As entradas só interferem no próximo estado;
- A saída será alterada apenas na transição do clock.
- Resposta mais lenta ou inexistente às variações na entrada.

**FIGURA 3 – MÁQUINA DE ESTADOS DE MOORE**



- Na representação da máquina de Moore, nos arcos do grafo somente são representados os sinais de entrada causadores da transição de um estado para outro.

**FIGURA 4 – DIAGRAMA DE ESTADOS DE MOORE**

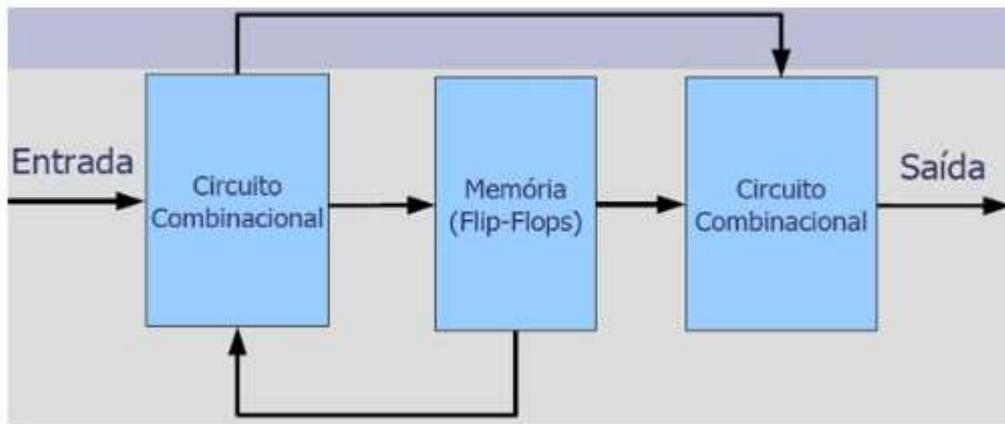


## **MÁQUINA DE MEALY**

---

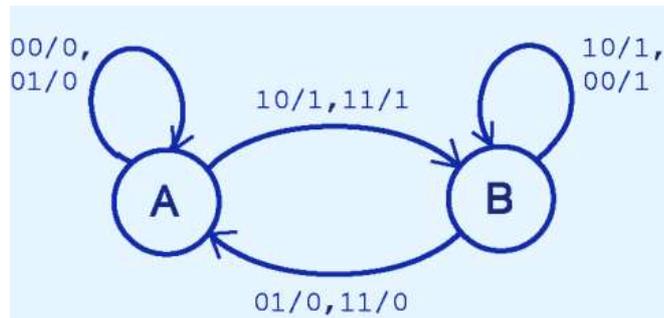
- Saída depende do estado atual e das entradas.
- Saídas variam assincronamente com as entradas;
- Entradas interferem no próximo estado e na saída atual;
- Resposta mais rápida às variações na entrada.

**FIGURA 5 – MÁQUINA DE ESTADOS DE MEALY**



- Na representação da máquina de Mealy, nos arcos do grafo são representados os sinais de entrada causadores da transição de um estado para outro, bem com os respectivos valores para a saída.

**FIGURA 6 – DIAGRAMA DE ESTADOS DE MEALY**



### **MOORE OU MEALY?**

- O comportamento das máquinas de Moore e Mealy é idêntico, mas suas implementações diferem.
- Versão Mealy de um circuito sequencial será mais econômica de componentes físicos.
- Mealy a saída depende da entrada, valores incorretos na entrada durante o ciclo de “clock” podem afetar a saída.
- Alterações em Moore na saída e no estado só ocorrem na transição do “clock” (melhor sincronismo).

### **PROJETO DE CIRCUITOS SEQUENCIAIS SÍNCRONOS**

O projeto de circuitos sequenciais pode ser obtida seguindo-se uma série de passos:

- 1) Elaborar um diagrama de estados.
- 2) Opcionalmente pode-se minimizar o número de estados no diagrama de estados.
- 3) Escrever a tabela de estados, com os estados atuais e futuros.

- 4) Atribuir a cada estado uma combinação de variáveis de estado (FFs) em função dos estados atuais e futuros (primeira e segunda colunas da tabela do exercício a seguir).
- 5) Construir a tabela de transição de estados relacionando os níveis lógicos do tipo de FF em uso em função dos estados atuais e futuros (terceira e quarta coluna da tabela do exercício a seguir).
- 6) Relacionar os níveis lógicos que as entradas dos FFs devem assumir, após o pulso de clock, gerando as saídas futuras previstas (as entradas dos FFs que são as saídas do circuito combinacional).
- 7) Montar o mapa de Karnaugh para cada uma das entradas dos FFs do circuito, com o auxílio da tabela de excitação de cada tipo de FF em uso.
- 8) Obter as expressões lógicas das saídas do circuito combinacional através de mapas de Karnaugh.
- 9) Elaborar o diagrama lógico do circuito em que todos os elementos de memória (FFs) recebem o mesmo sinal de relógio.

## CONTADORES SÍNCRONOS

---

- Possuem as **entradas de clock curto-circuitadas**, assim, **aciona todos os FF simultaneamente**.

**FIGURA 7– CONTADOR SÍNCRONO GENÉRICO**

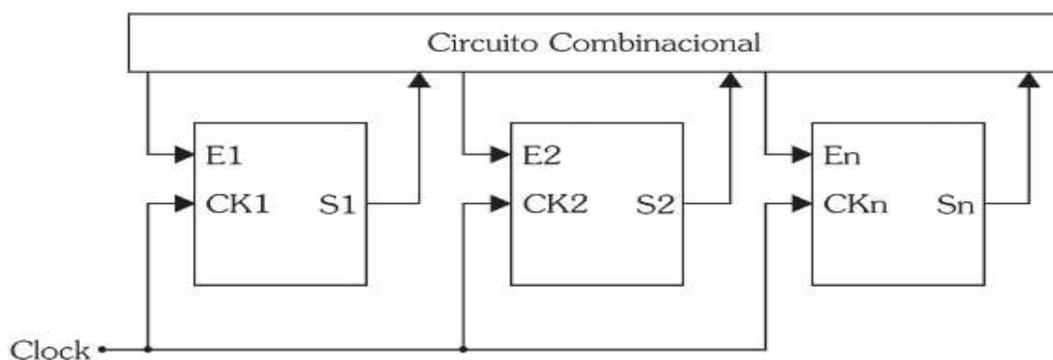
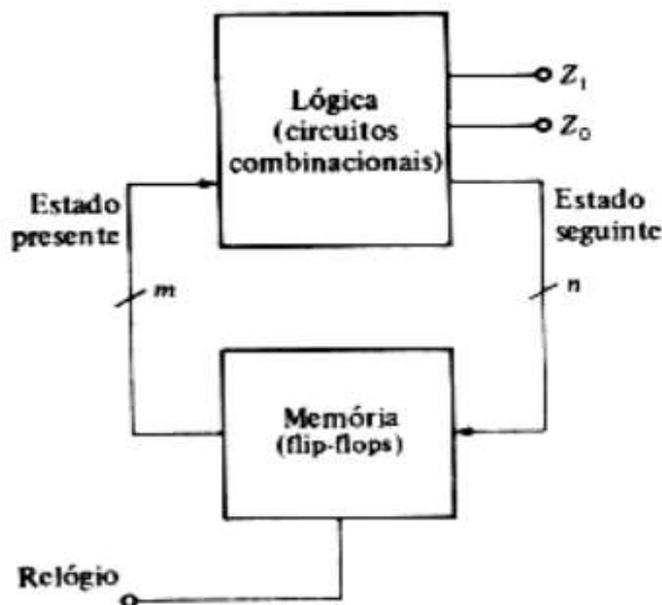


FIGURA 8 – CONTADOR SÍNCRONO COMO MÁQUINA DE ESTADO



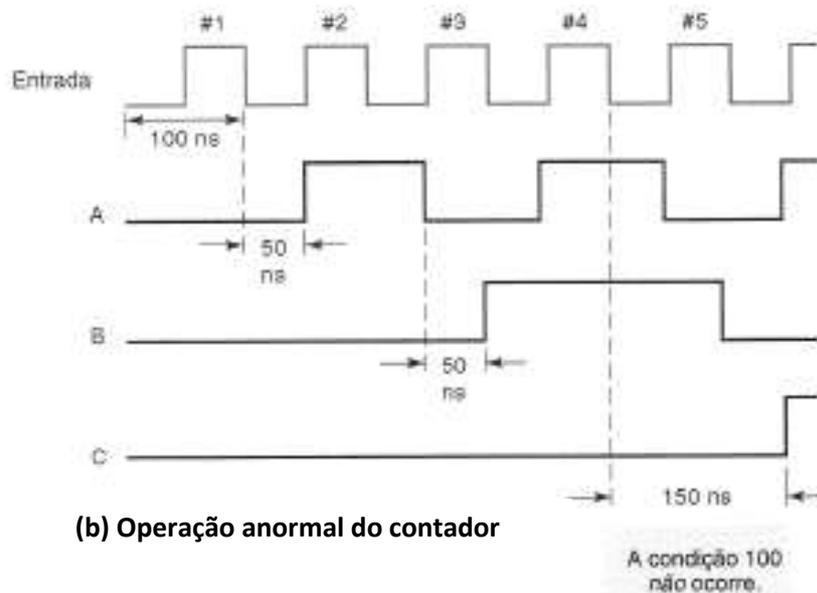
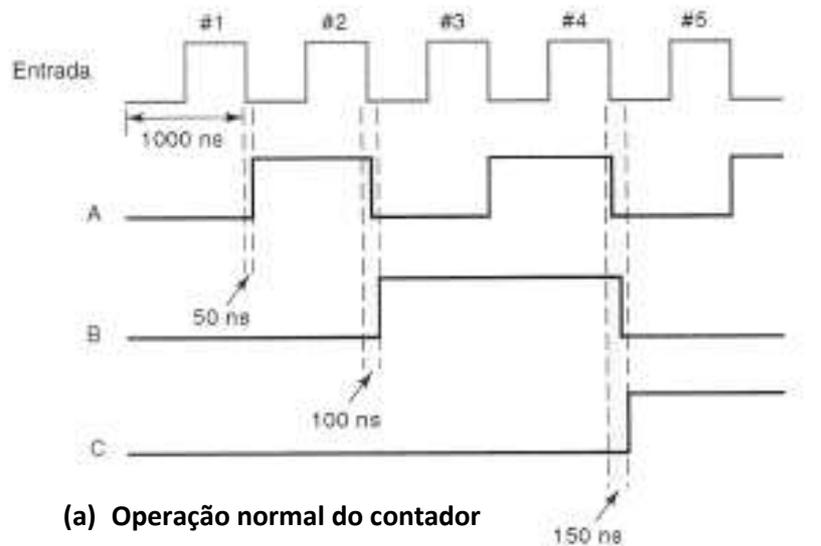
- A indicação da **contagem** pode ser obtida diretamente das **saídas dos FF** ou através de **circuitos combinacionais**.
- O **número de FFs** necessários para cada contador depende do **módulo do contador**.
- Nos **contadores síncronos** deve-se apresentar a **tabela verdade definindo** quais devem ser as **entradas D (FF Tipo D) ou J e K (FF Tipo JK)** dos diferentes FFs e, conseqüentemente, deve-se **definir o estágio seguinte**.
- Exemplo: Tabela de transição (excitação) para um contador síncrono up/down utilizando FF tipo D.

TABELA 1 – TABELA DE TRANSIÇÃO DE ESTADOS

Entrada	Estado Presente		Proximo estado		Memória (Entrada dos Flip-Flops)	
	$Q_1$	$Q_2$	$Y_1$	$Y_2$	$D_1$	$D_0$
$X_0$	$Q_1$	$Q_2$	$Y_1$	$Y_2$	$D_1$	$D_0$
0	0	0	0	1	0	1
0	0	1	1	0	1	0
0	1	0	1	1	1	1
0	1	1	0	0	0	0
1	1	1	1	0	1	0
1	1	0	0	1	0	1
1	0	1	0	0	0	0
1	0	0	1	1	1	1

- São contadores que, para evitar o efeito **do atraso na comutação das saídas dos contadores assíncronos**, tem o clock aplicado simultaneamente em todos os FFs.

**FIGURA 9 – EFEITO ATRASO DE COMUTAÇÃO EM CONTADORES ASSÍNCRONOS**

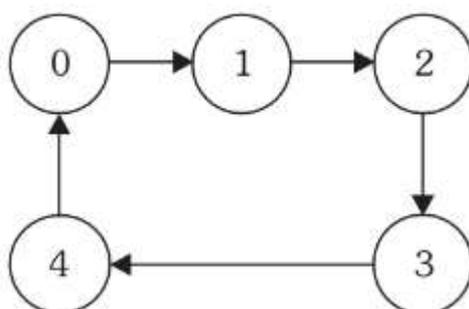


- Supor um contador de 3 bits utilizando FFs A, B e C com transição a borda de descida. O FF A apresenta uma comutação de estado com atraso de 50 ns, após um pulso de entrada de descida de entrada. O FF B apresenta uma comutação de estado após um atraso total de 100 ns, igualmente para o FF C comuta com um atraso total de 150 ns.
- Para uma dada frequência estes atrasos podem não interferir na contagem do contador, conforme mostrado na figura 9 (a).
- Se a frequência for reduzida poderá ter-se uma situação no qual valores de contagem podem omitidos, repetir e um ou mais valores de contagem pode não ocorrer, conforme mostrado na figura 9 (b).

## EXERCÍCIO TUTORIADO

1. Crie um contador Módulo 5 síncrono crescente com FF tipo D sensível a borda de descida.
  - Como se trata de um contador módulo 5 (cinco estados), três FFs são suficientes para o projeto, já que sua sequência é formada apenas pelos estados 0 a 4 (000 a 100).
  - A figura a seguir mostra o Diagrama de estados desse contador que, como se pode notar, não apresenta em sua malha principal todos os estados possíveis do contador (estão faltando os estados 5, 6 e 7). Estes estados representam estados secundários que serão analisados posteriormente.

**FIGURA 10 – DIAGRAMA DE ESTADOS CONTADOR MÓDULO 5**

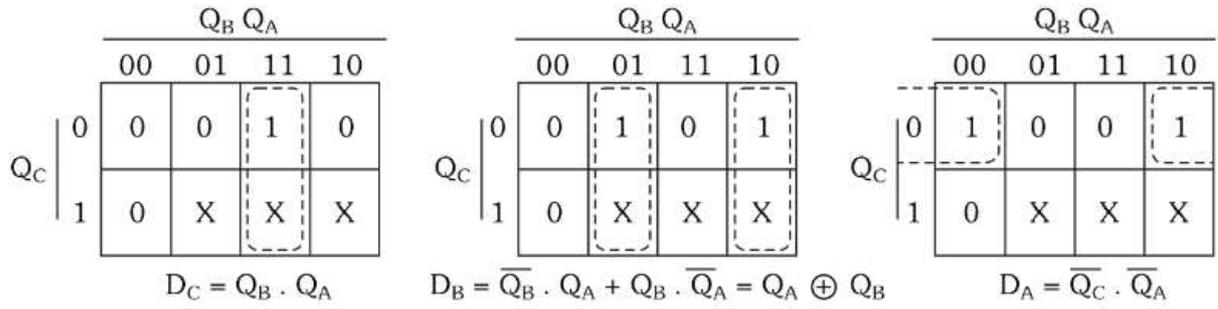


- Para o projeto do circuito combinacional desse contador é necessário construir sua tabela-verdade.
- Levando-se em conta a característica do FF D ( $Q_f = 0$  para  $D=0$  e  $Q_f = 1$  para  $D=1$ ), pode-se construir a tabela-verdade do circuito combinacional desse contador, como mostrado a seguir.

**TABELA 2 – TABELA VERDADE DE TRANSIÇÕES DE ESTADO – CONTADOR MÓDULO 5**

Estado Atual	Estado Futuro	Entradas do Circuito Combinacional						Saídas do Circuito Combinacional		
		Saídas Atuais dos Flip-Flops			Saídas Futuras dos Flip-Flops			Entradas dos Flip-Flops		
		$Q_C$	$Q_B$	$Q_A$	$Q_C$	$Q_B$	$Q_A$	$D_C$	$D_B$	$D_A$
0	1	0	0	0	0	0	1	0	0	1
1	2	0	0	1	0	1	0	0	1	0
2	3	0	1	0	0	1	1	0	1	1
3	4	0	1	1	1	0	0	1	0	0
4	0	1	0	0	0	0	0	0	0	0
5	X	1	0	1	X	X	X	X	X	X
6	X	1	1	0	X	X	X	X	X	X
7	X	1	1	1	X	X	X	X	X	X

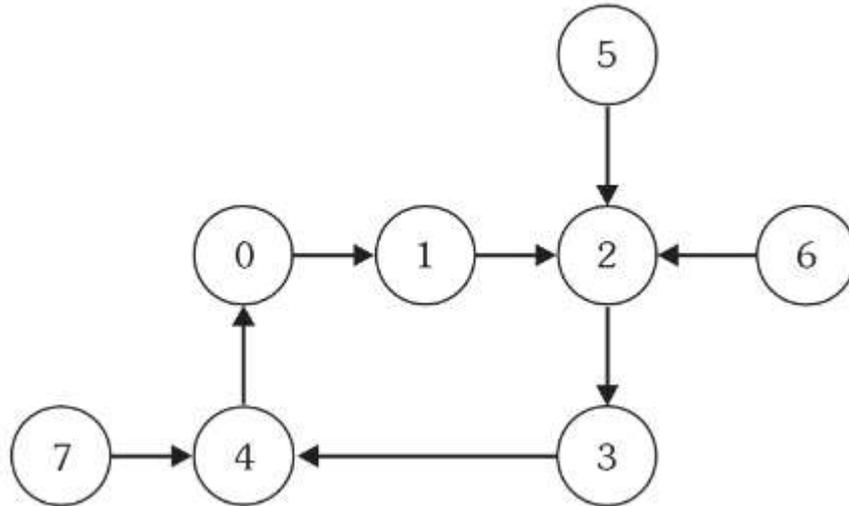
**TABELA 3 – MAPAS DE VEIGHT KARNAUGH**



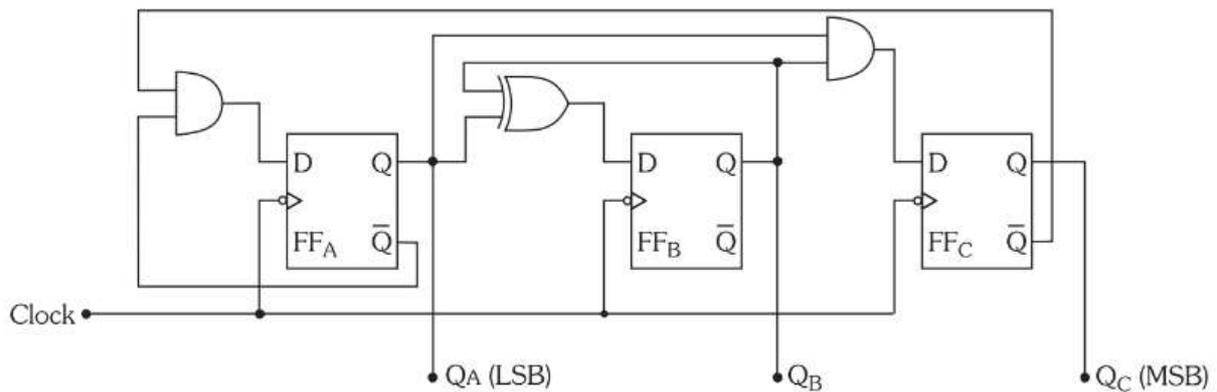
**TABELA 4 – TABELA VERDADE PARA ESTADOS SECUNDÁRIOS**

Estado Atual	Saídas Atuais dos Flip-Flops			Entradas dos Flip-Flops			Saídas Futuras dos Flip-Flops			Estado Futuro
	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>C</sub>	D <sub>B</sub>	D <sub>A</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	
5	1	0	1	0	1	0	0	1	0	2
6	1	1	0	0	1	0	0	1	0	2
7	1	1	1	1	0	0	1	0	0	4

**FIGURA 11 – DIAGRAMA DE ESTADOS COMPLETO**



**FIGURA 12 – CONTADOR MÓDULO 5 COM FF TIPO D**

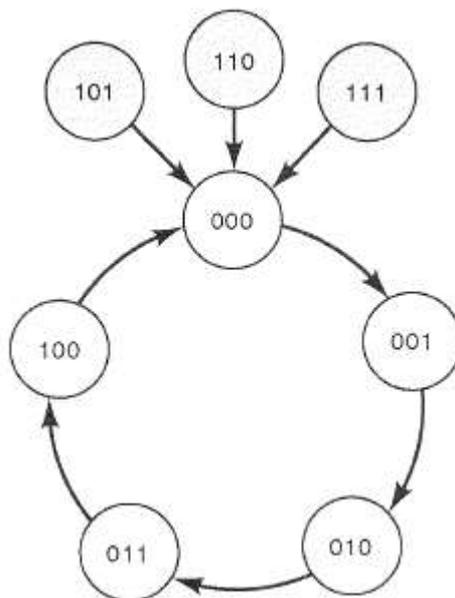


## EXERCÍCIO COM DISCUSSÃO EM DUPLAS

---

2. Implemente um contador que execute o diagrama de estados a seguir utilizando FF JK sensível a borda de subida com entradas Preset e Clear:

**FIGURA 13 – DIAGRAMA DE ESTADO A SER IMPLEMENTADO**



## CÓDIGO GRAY

---

- Código no qual de um número para outro subsequente apenas um bit varia.
- Sistema de codificação surgiu quando os circuitos lógicos digitais se realizavam com válvulas termoiônicas e dispositivos eletromecânicos.
- Os contadores necessitavam de potências muito elevadas e geravam ruído quando vários bits modificavam-se simultaneamente.

**TABLEA 5 – CÓDIGO GRAY DE 4 BITS**

Código decimal	Código Binário	Código Gray
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

## EXERCÍCIO TUTORIADO

---

3. Implemente um Contador Gray síncrono de 3 bits, utilizando FFs Tipo D sensíveis a borda de descida.

## **CONTADOR COM REGISTRADORES DE DESLOCAMENTO**

---

- Um contador de deslocamento é um registrador de entrada serial/saída serial em que a saída é ligada diretamente na entrada gerando uma sequência.
- Contadores com registradores de deslocamento utilizam realimentação no qual a saída do último FF é conectada de alguma forma ao primeiro FF.
- Classifica-se como contador, pois exibe uma sequência específica dos estados.
- Os dois tipos mais comuns são o contador de Johnson e o contador de anel.
- No contador de Johnson o complemento da saída do último FF-D é conectada à entrada do primeiro FF-D gerando uma sequência fechada.

## **CONTADOR DE ANEL**

---

- O contador com registrado de deslocamento mais simples é um registrador de deslocamento circular conectado de modo que o último FF desloque seu valor para o primeiro FF.

FIGURA 14 – CIRCUITO LÓGICO DO CONTADOR EM ANEL

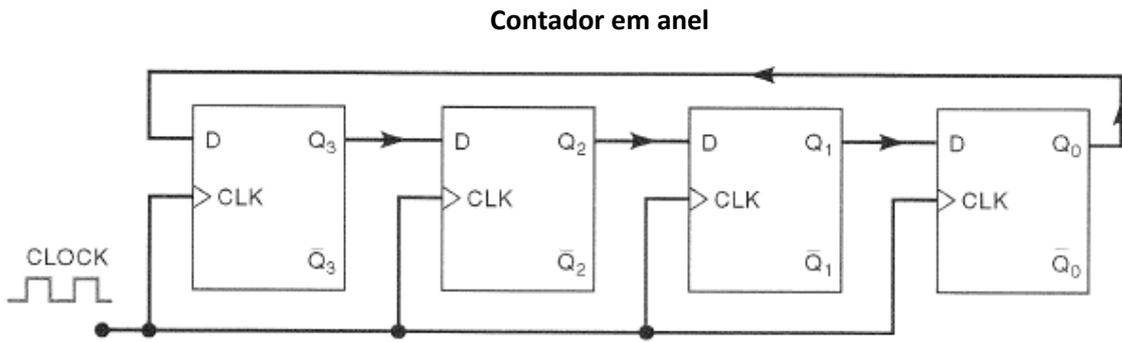
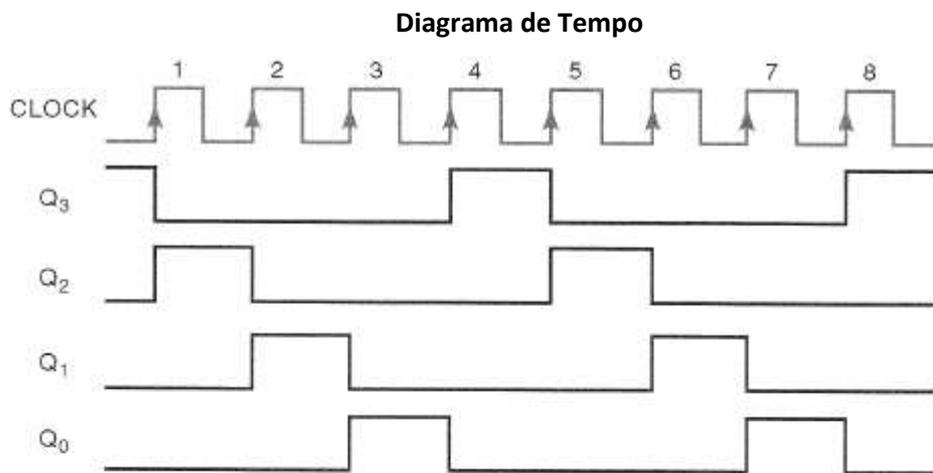


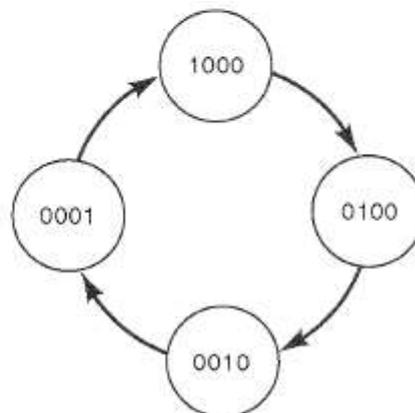
FIGURA 15 – CONTADOR EM ANEL



**Tabela verdade**

Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Pulso de CLOCK
1	0	0	0	0
0	1	0	0	1
0	0	1	0	2
0	0	0	1	3
1	0	0	0	4
0	1	0	0	5
0	0	1	0	6
0	0	0	1	7
...	...	...	...	...
...	...	...	...	...

**Diagrama de estados**



## CONTADOR JOHNSON

- Contador construído exatamente como um contador em anel normal, exceto pelo fato de que a saída invertida do último FF é que está conectada à entrada do primeiro.

FIGURA 16 – CIRCUITO LÓGICO CONTADOR JOHNSON

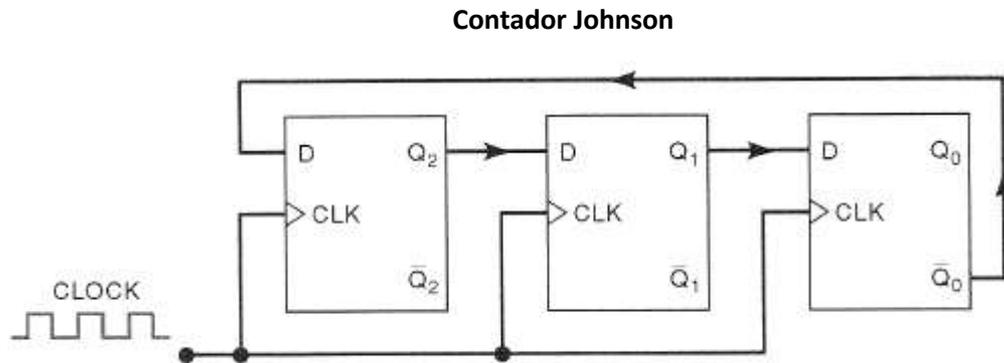
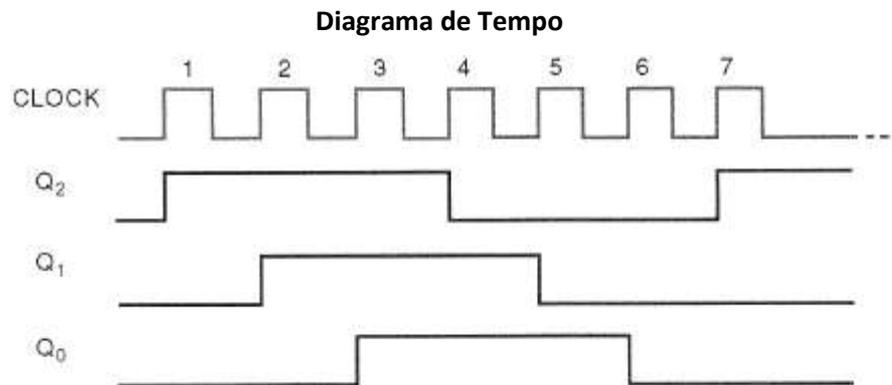


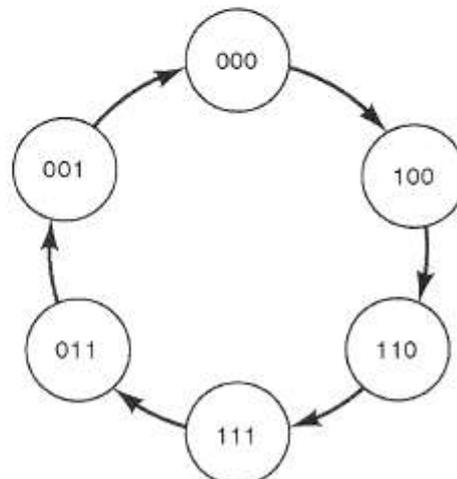
FIGURA 17 – CONTADOR JOHNSON



**Tabela verdade**

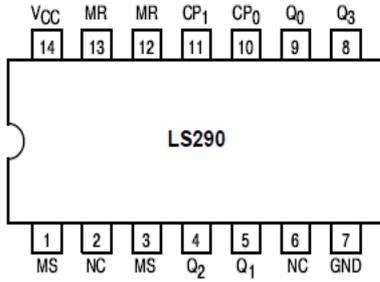
Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Pulso de CLOCK
0	0	0	0
1	0	0	1
1	1	0	2
1	1	1	3
0	1	1	4
0	0	1	5
0	0	0	6
1	0	0	7
1	1	0	8
·	·	·	·
·	·	·	·
·	·	·	·

**Diagrama de estados**



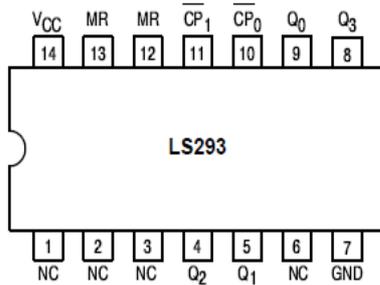
74LS290 - DECADE COUNTER: 4-BIT BINARY COUNTER

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES



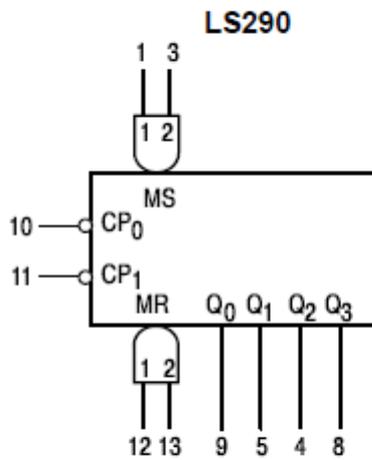
PIN NAMES

- CP0 Clock (Active LOW going edge) Input to +2 Section.
- CP1 Clock (Active LOW going edge) Input to +5 Section (LS290).
- CP1 Clock (Active LOW going edge) Input to +8 Section (LS293).
- MR1, MR2 Master Reset (Clear) Inputs
- MS1, MS2 Master Set (Preset-9, LS290) Inputs
- Q0 Output from +2 Section (Notes b & c)
- Q1, Q2, Q3 Outputs from +5 & +8 Sections (Note b)

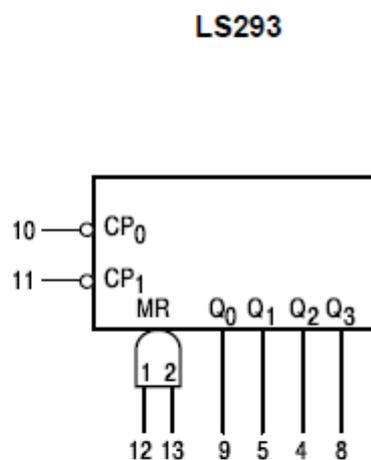
NOTES:

- a) 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.
- b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.
- c) The Q<sub>0</sub> Outputs are guaranteed to drive the full fan-out plus the CP<sub>1</sub> Input of the device.

LOGIC SYMBOL

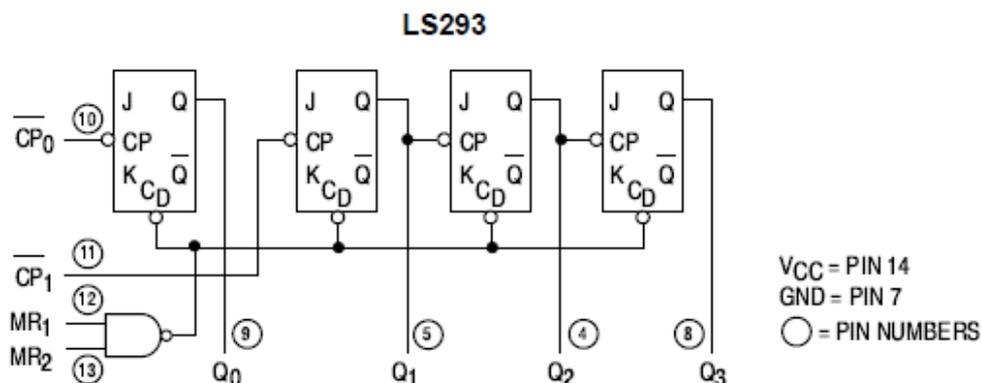
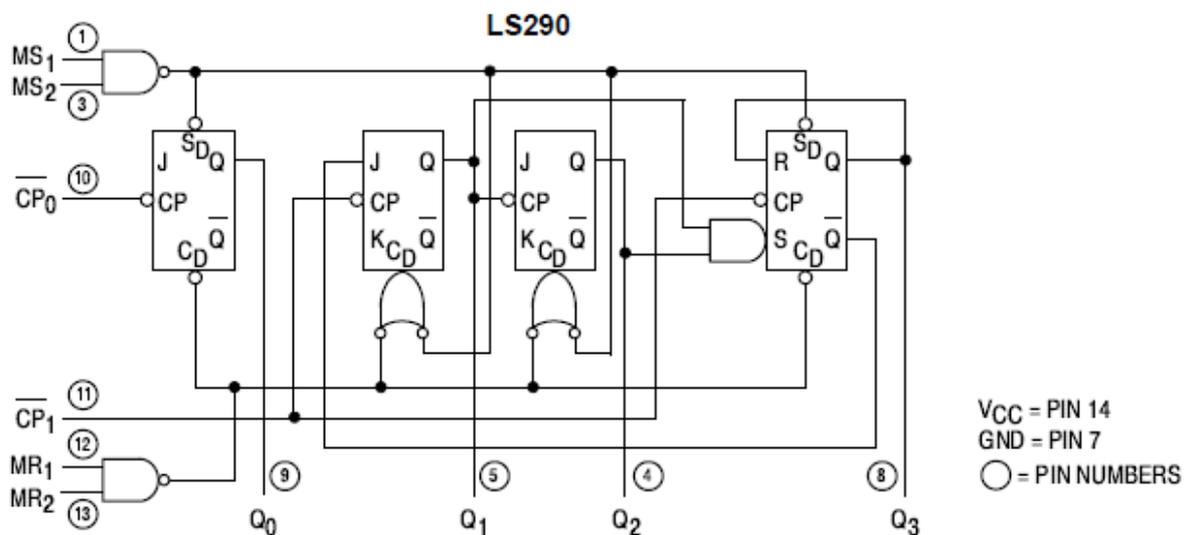


V<sub>CC</sub> = PIN 14  
GND = PIN 7  
NC = PINS 2, 6



V<sub>CC</sub> = PIN 14  
GND = PIN 7  
NC = PINS 1, 2, 3, 6

## LOGIC DIAGRAMS



**LS290 MODE SELECTION**

RESET/SET INPUTS				OUTPUTS			
MR <sub>1</sub>	MR <sub>2</sub>	MS <sub>1</sub>	MS <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

**LS293 MODE SELECTION**

RESET INPUTS		OUTPUTS			
MR <sub>1</sub>	MR <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

**LS290  
BCD COUNT SEQUENCE**

COUNT	OUTPUT			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q<sub>0</sub> is connected to Input CP<sub>1</sub> for BCD count.

H = HIGH Voltage Level  
 L = LOW Voltage Level  
 X = Don't Care

**TRUTH TABLE**

COUNT	OUTPUT			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

Note: Output Q<sub>0</sub> connected to input CP<sub>1</sub>.

FIGURA 18 – CONTADORES MÓDULO 16

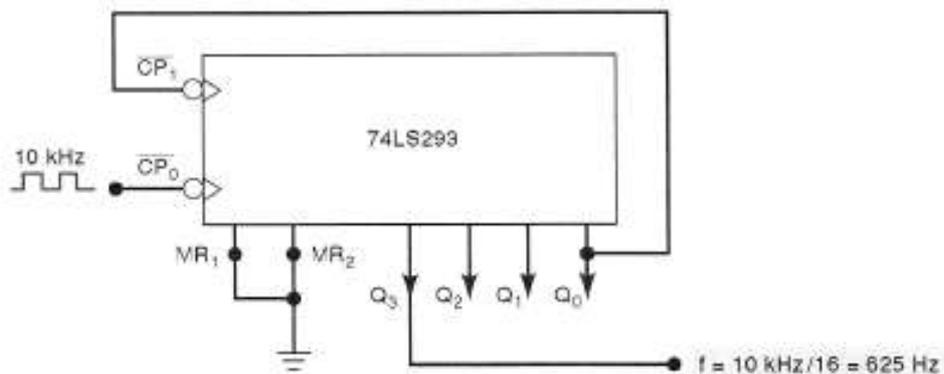


FIGURA 19 – CONTADOR DIVISOR DE FREQUÊNCIA POR 60

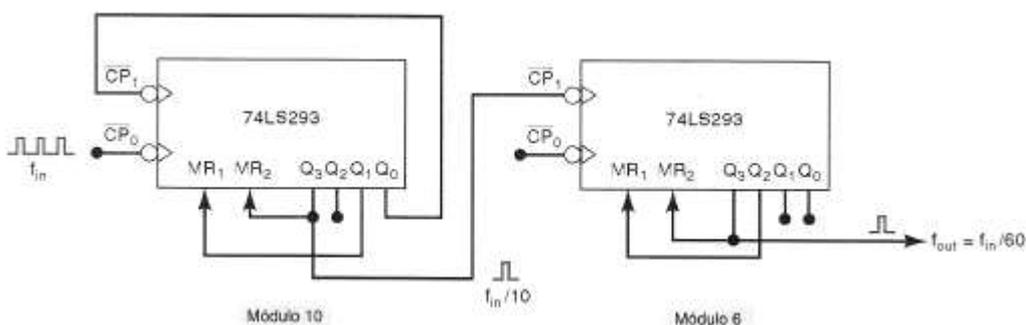
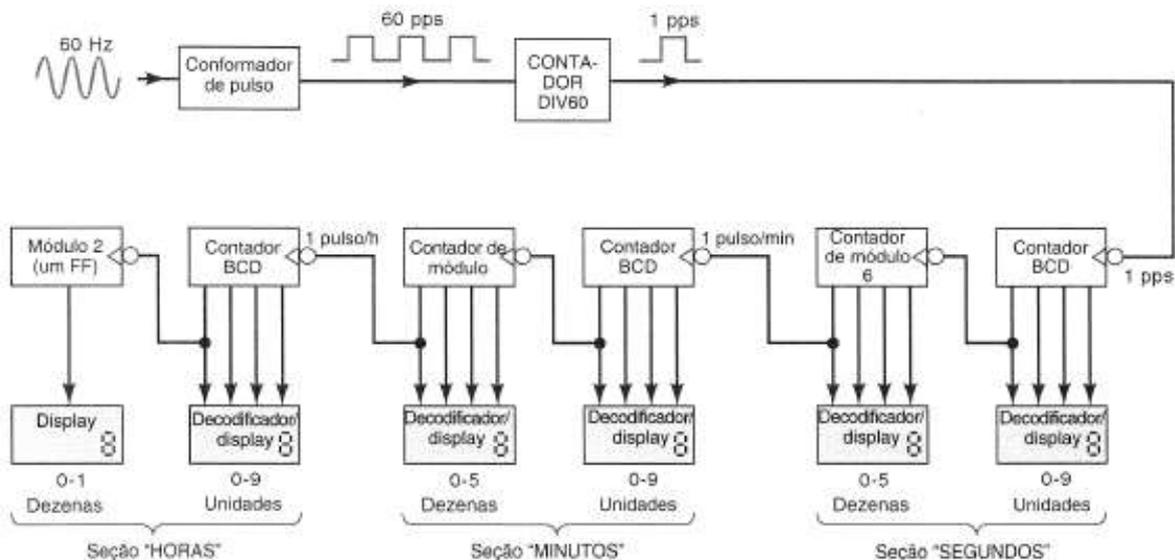


FIGURA 20 – DIAGRAMA EM BLOCOS DE UM RELÓGIO DIGITAL



## EXERCÍCIOS EXTRA-CLASSE

---

1. Implemente um registrador de deslocamento bidirecionais de 4 bits.
2. Implemente um contador de anel com 4 bits, sendo a entrada inicial os valores  $Q_0$ ,  $Q_1$ ,  $Q_2$  e  $Q_3 = 1000$ , sendo o seu módulo  $n = 4$ .
3. Descreva o procedimento para a construção de uma máquina de estado.
4. Implemente um farol.
5. Implemente um simulador com a linha amarela do metrô.